

02S1091

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月28日

出 願 番 号

Application Number:

特願2003-053184

[ ST.10/C ]:

[ JP2003-053184 ]

出 願 人

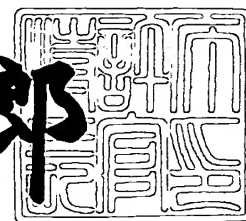
Applicant(s):

株式会社東芝

2003年 3月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019058

【書類名】 特許願

【整理番号】 A000204417

【提出日】 平成15年 2月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 清利 正弘

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、  
前記半導体基板の上方に設けられたキャパシタとを備え、  
前記キャパシタは、  
金属を含む下部電極と、  
前記下部電極の上方に設けられ、タンタルオキサイドまたはニオブオキサイド  
を含み、上面に凸部を含む第 1 の誘電体膜と、  
前記第 1 の誘電体膜の前記凸部の上方に設けられ、金属を含む上部電極と、  
前記下部電極と前記第 1 の誘電体膜との間に設けられ、前記第 1 の誘電体膜よ  
りも誘電率が小さい第 2 の誘電体膜と、

前記第 1 の誘電体膜の前記凸部と前記上部電極との間に設けられ、前記第 1 の  
誘電体膜よりも誘電率が小さい第 3 の誘電体膜と  
を備えていることを特徴とする半導体装置。

【請求項 2】 前記上部電極、前記第 3 の誘電体膜および前記第 1 の誘電体  
膜の前記凸部は、上から見た形状および寸法が同じであることを特徴とする請求  
項 1 に記載の半導体装置。

【請求項 3】 前記金属は、チタンまたはタンタルであることを特徴する請  
求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記第 2 および第 3 の誘電体膜の材料は、シリコンナイトラ  
イド、アルミニウムオキサイド、ハフニウムオキサイドおよびジルコニウムオキ  
サイドの少なくとも一つであることを特徴とする請求項 1 ないし 3 のいずれか 1  
項に記載の半導体装置。

【請求項 5】 前記キャパシタ上に設けられ、前記第 1 の誘電体膜よりも誘  
電率が低い第 4 の誘電体膜をさらに備えていることを特徴とする請求項 1 ないし  
4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 半導体基板を用意する工程と、  
前記半導体基板の上方に、金属を含む下部電極、積層誘電体膜および前記下部

電極よりも小さく、金属を含む上部電極を含むキャパシタを形成する工程とを有し、

前記キャパシタを形成する工程は、

前記下部電極となる第 1 の導電膜を形成する工程と、

前記第 1 の導電膜上に、タンタルオキサイドまたはニオブオキサイドを含む第 1 の誘電体膜と、前記第 1 の誘電体膜よりも誘電率が小さい第 2 および第 3 の誘電体膜とを形成する工程であって、かつ、これらの誘電体膜を前記第 2 の誘電体膜、前記第 1 の誘電体膜、前記第 3 の誘電体膜の順で前記第 1 の導電膜上に形成する工程と、

前記第 3 の誘電体膜上に前記上部電極となる第 2 の導電膜を形成する工程と、

前記第 2 の導電膜をエッチングして、前記上部電極を形成する工程と、

前記第 3 の誘電体膜をエッチングし、前記上部電極の側面よりも外側の部分の前記第 3 の誘電体膜を除去する工程と、

前記第 1 の誘電体膜をエッチングし、前記第 1 の誘電体膜の上面から前記第 1 の誘電体膜の途中の深さまでの部分であって、かつ、前記上部電極の側面よりも外側の部分の前記第 1 の誘電体膜を除去する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 7】 前記上部電極および前記下部電極は、金属を含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記第 2 および第 3 の誘電体膜の材料は、シリコンナイトライド、アルミニウムオキサイド、ハフニウムオキサイドおよびジルコニウムオキサイドの少なくとも一つであることを特徴とする請求項 6 ないし 8 のいずれか 1 項に記載の半導体装置。

【請求項 9】 前記金属は、チタンまたはタンタルであることを特徴する請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第 2 の導電膜を弗素系のガスを用いてエッチングし、前記第 3 の誘電体膜を塩素系のガスを用いてエッチングし、前記第 1 の誘電体膜を弗素系のガスと酸素ガスとの混合ガスを用いてエッチングすることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 1 1】 前記第 1 の誘電体膜、前記第 2 の誘電体膜および前記第 1 の導電膜をエッチングし、前記第下部電極を形成する工程をさらに含むことを特徴とする請求項 6 ないし 1 0 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 2】 前記キャパシタ上に前記第 1 の誘電体膜よりも誘電率が低い第 4 の誘電体膜を形成する工程をさらに有することを特徴とする請求項 6 ないし 1 1 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、キャパシタ、特に M I M (Metal Insulator Metal) キャパシタを含む半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

通信技術の発達に伴い、近年、多くのパーソナルコンピュータ (P C) や携帯情報機器 (P D A) がネットワークに接続されて使用されている。今後は、多くの家庭電化製品 (ビデオデッキ、冷蔵庫、エアコンなど) も、ネットワークに接続されて使用されることが予測される。

【0 0 0 3】

このような多数の機器でネットワークを形成する場合、特に一般家庭内においては、オフィス等で行われている個々の機器間に L A N ケーブルを配線してネットワークを構成する方法は適しておらず、無線を利用したワイアレス接続が今後の主流となると考えられる。したがって、今後は殆どの L S I チップに R F 通信機能が付加されることが考えられる。

【0 0 0 4】

この種の L S I は従来より複数のチップで構成されている。例えば、R F アナログデバイス (S i G e - B i C M O S など) のチップと C M O S ロジックデバイスのチップとで構成されている。携帯情報機器等では小型化が重視されているため、上記 L S I は R F 混載 L S I による小型化が求められている。R F 混載 L S I では、R F アナログデバイスと C M O S ロジックデバイスとがワンチップ化さ

れている。

【 0 0 0 5 】

R F アナログデバイスと C M O S ロジックデバイスとをワンチップ化するためには、両デバイスの製造プロセスの統合を図る必要がある。R F アナログデバイスは、抵抗、インダクタンス、キャパシタなどで構成される。C M O S ロジックデバイスは、複数の M O S トランジスタから構成される。したがって、R F 混載 L S I を実現するには、例えば、C M O S ロジックプロセスをベースにして、これに R F アナログデバイスのプロセスを統合して、新規な R F - C M O S プロセスを開発する必要が生じる。

【 0 0 0 6 】

両プロセスの統合を図るに当たって、最初に問題となるのが M I M キャパシタの構造とそのプロセスである。その理由は、以下の通りである。

【 0 0 0 7 】

R F 混載 L S I 中の R F アナログデバイス用の M I M キャパシタの特徴の一つとして、キャパシタ面積が数百平方ミクロンと大きいことがあげられる。そのため、キャパシタ面積の削減、すなわち、単位面積あたりのキャパシタ容量の増加は、チップ面積の削減化および回路の Q 値の増加にとって非常に重要である。

【 0 0 0 8 】

また、R F アナログデバイス用の M I M キャパシタには良好なペア性が要求される。何故なら、R F アナログ回路は、対称的な回路を用いて出力の差分をとる演算回路を含み、該演算回路に対で使用されるキャパシタは容量、応答特性が非常に高い精度で一致していることが必要となるからである。

【 0 0 0 9 】

面積が大きい M I M キャパシタの容量密度を高めるために、従来より D R A M のキャパシタで用いられている、電極を 3 次元化して側面積を大きくするという手法は有効ではない。その理由は、以下の通りである。

【 0 0 1 0 】

D R A M のキャパシタは上から見た面積 ( S 1 ) が非常に小さいので、電極を 3 次元化して側面積 ( S 2 ) を大きくした場合、 $S 2 / S 1$  の比が非常に高くな

る。そのため、DRAMのキャパシタの場合、電極を3次元化することで、容量密度を容易に増加することができる。

【0011】

一方、RF混載LSIに使用されるキャパシタは、DRAMのキャパシタに比べて、 $S_1$ が非常に大きいので、多少 $S_2$ を大きくしても、 $S_2/S_1$ の比はそれほど大きくならない。単に、電極を柱状に加工して側面積を大きくすることで、 $S_2/S_1$ の比を十分に大きくするためには、数十ミクロンの高さの電極が必要になる。しかし、このような高い電極は、非現実的である。

【0012】

このような高い電極を用いずに $S_2$ を大きくする方法として、電極の側面に多数の微細な凹凸を形成することが知られている。しかし、このような複雑な形状を有する電極を用いた場合、良好なペア性を有するMIMキャパシタを実現することは困難である。

【0013】

電極を三次元化せずに容量密度を増加させる他の手法として、MIMキャパシタの誘電体膜の材料として、従来より使用されているシリコンナイトライドに換えて、タンタルオキサイド( $Ta_2O_5$ )、ニオブオキサイド( $Nb_2O_5$ )あるいはチタン酸バリウム等の高誘電率材料を使用することが考えられる(例えば、特許文献1, 2)。しかしながら、この種の誘電体材料を用いた場合、本発明者は後述するような問題があることを見出している。

【0014】

【特許文献1】

特開2000-183289号公報

【0015】

【特許文献2】

特開2000-208720号公報

【0016】

【発明が解決しようとする課題】

上述の如く、RF混載LSI中のRFアナログデバイス用のMIMキャパシタ



の容量密度を増加するための手法として、電極を3次元化する、あるいは電極の側面に多数の微細な凹凸を形成することが知られている。しかし、前者の手法は数十ミクロンの高さの電極が必要になるので非現実的であり、後者の手法は良好なペア性を実現することは困難である。

## 【0017】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、MIMキャパシタの容量密度の増加を容易に図れる半導体装置およびその製造方法を提供することにある。

## 【0018】

## 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

## 【0019】

すなわち、上記の目的を達成するために、本発明に係る半導体装置は、半導体基板と、前記半導体基板の上方に設けられたキャパシタとを備え、前記キャパシタは、金属を含む下部電極と、前記下部電極の上方に設けられ、タンタルオキサイドまたはニオブオキサイドを含み、上面に凸部を含む第1の誘電体膜と、前記第1の誘電体膜の前記凸部の上方に設けられ、金属を含む上部電極と、前記下部電極と前記第1の誘電体膜との間に設けられ、前記第1の誘電体膜よりも誘電率が小さい第2の誘電体膜と、前記第1の誘電体膜の前記凸部と前記上部電極との間に設けられ、前記第1の誘電体膜よりも誘電率が小さい第3の誘電体膜とを備えていることを特徴とする。

## 【0020】

また、本発明に係る半導体装置の製造方法は、半導体基板を用意する工程と、前記半導体基板の上方に、金属を含む下部電極、積層誘電体膜および前記下部電極よりも小さく、金属を含む上部電極を含むキャパシタを形成する工程とを有し、前記キャパシタを形成する工程は、前記下部電極となる第1の導電膜を形成する工程と、前記第1の導電膜上に、タンタルオキサイドまたはニオブオキサイドを含む第1の誘電体膜と、前記第1の誘電体膜よりも誘電率が小さい第2および

第 3 の誘電体膜とを形成する工程であって、かつ、これらの誘電体膜を前記第 2 の誘電体膜、前記第 1 の誘電体膜、前記第 3 の誘電体膜の順で前記第 1 の導電膜上に形成する工程と、前記第 3 の誘電体膜上に前記上部電極となる第 2 の導電膜を形成する工程と、前記第 2 の導電膜をエッチングして、前記上部電極を形成する工程と、前記第 3 の誘電体膜をエッチングし、前記上部電極の側面よりも外側の部分の前記第 3 の誘電体膜を除去する工程と、前記第 1 の誘電体膜をエッチングし、前記第 1 の誘電体膜の上面から前記第 1 の誘電体膜の途中の深さまでの部分であって、かつ、前記上部電極の側面よりも外側の部分の前記第 1 の誘電体膜を除去する工程とを有することを特徴とする。

## 【 0 0 2 1 】

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

## 【 0 0 2 2 】

## 【発明の実施の形態】

先ず、本発明の基礎となった発明者の研究結果および検討結果等について説明する。

## 【 0 0 2 3 】

前述したとおり、電極を三次元化せずに容量密度を増加させる手法として、MIM キャパシタの誘電体膜の材料として、タンタルオキサイド、ニオブオキサイド等の高誘電率材料を使用することが考えられる。

## 【 0 0 2 4 】

特に、タンタルオキサイドは、低リーク電流かつ高容量密度のキャパシタを実現するためには最適の材料と考えられる。その理由の一つとして、タンタルオキサイドは非晶質の状態でも 3 0 程度の高誘電率を発現することがあげられる。他の理由としては、タンタルオキサイドの結晶化温度が 7 0 0 ℃ 前後と高いこと（高誘電率材料は一般に結晶化するとリーク電流が増大する。）があげられる。

## 【 0 0 2 5 】

ところが、本発明者が鋭意検討したところによると、タンタルオキサイド膜あるいはニオブオキサイド膜を用いたキャパシタは、PECVD (Plasma Enhance

d Chemical Vapor Deposition: プラズマ CVD) 法により形成したシリコン窒化膜 (PECVD-SiN 膜) を用いた従来のキャパシタに比べ、ペア性が悪いことがわかった。

【 0 0 2 6 】

そこで、原因を究明した結果、以下の原因がわかった。

【 0 0 2 7 】

キャパシタに電圧が印加され、キャパシタに電荷が蓄積されると、図 1 (a) に示すように、上部電極 9 3 から誘電体膜 9 2 を介して下部電極 9 1 に至る電気力線 9 4 の殆どは、上部電極 9 3 と下部電極 9 1 を最短でつなぐ直線となるが、キャパシタの外縁部では電気力線 9 4 がキャパシタの外部にはみ出す。このような電気力線 9 4 のはみ出しの度合いは、一般に、下部電極 9 1 が上部電極 9 3 よりも大きい RF アナログ回路の MIM キャパシタの方が、上部電極と下部電極のサイズがほぼ等しいキャパシタよりも大きい。

【 0 0 2 8 】

このようなキャパシタの外部にはみ出した電気力線 9 4 は、キャパシタ周辺の電荷や電界、磁界の影響を受ける。したがって、キャパシタの外部にはみ出した電気力線 9 4 は、キャパシタの応答に影響を与えることになる。

【 0 0 2 9 】

MIM キャパシタは数百ミクロンの外周をもつので、周辺から受ける影響も大きい。アナログ回路に用いられる MIM キャパシタは、デジタル回路に用いられている DRAM キャパシタと違い、線形性やペア性等の応答性が求められる。

【 0 0 3 0 】

そのため、この種の MIM キャパシタは、キャパシタの外部にはみ出した電気力線とキャパシタ周辺の電界、磁界とのクロストークの影響を大きく受け、さらに上記 MIM キャパシタを用いたアナログ回路の特性も上記クロストークの影響を大きく受けることになる。

【 0 0 3 1 】

勿論、このような外部からの擾乱に関する問題は、誘電体膜としてシリコン窒化膜を用いた従来より使用されている MIM キャパシタにも存在する。

## 【 0 0 3 2 】

しかし、タンタルオキサイドやアルミナ（アルミニウムオキサイド）などの高誘電率材料をMIMキャパシタの誘電体膜の材料として用いた場合、図1（b）に示すように、電気力線94はより大きくキャパシタの外部にはみ出す（電気力線94の密度は電界の強さを表す。）。図1（b）には、キャパシタの外部の電界が図1（a）のそれと同じ強度になるところまでの電気力線94が示されている。

## 【 0 0 3 3 】

ここで、図2のキャパシタを被覆する層間絶縁膜（不図示）は、通常、 $\text{SiO}_2$ ベースの絶縁膜で、その誘電率は3～4程度である。そのため、誘電体膜92の誘電率は、上記層間絶縁膜の誘電率に比べて大きい。

## 【 0 0 3 4 】

電気力線94の密度は、電気力線94の方向に垂直な方向には連続的に変化する。電気力線94の密度が変化できるのは、上部電極93および下部電極91の表面、もしくは異なる誘電率をもつ材料同士の界面（上部電極93／誘電体膜92、誘電体膜92／下部電極91）のみである。

## 【 0 0 3 5 】

したがって、タンタルオキサイド等の高誘電体材料を用いた場合、電界の連続性から、電界、すなわち電気力線94はキャパシタの外部にはみ出しやすくなるので、図1（b）の誘電体膜92に入射する付近の電気力線94の密度は非常に高くなる。これは、高誘電率膜を用いたMIMキャパシタのペア性の悪化を招く。

## 【 0 0 3 6 】

タンタルオキサイドやニオブオキサイドを誘電体材料に用いたMIMキャパシタにおいて、電極材料に白金を用いた場合には、非常に低いリーク電流が得られる。

## 【 0 0 3 7 】

しかし、この種のMIMキャパシタにおいて、電極材料にチタンナイトライドまたはタンタルナイトライドを用いた場合には、上位機電極材料によってタンタ

ルオキサイドやニオブオキサイドが還元されてしまうために、低リーク電流の実現が困難になるという新たな問題が生じることが明らかになった。

## 【 0 0 3 8 】

以下、図面を参照しながら、上記問題を解決できる本発明の実施形態に係る高容量密度のMIMキャパシタについて説明する。

## 【 0 0 3 9 】

## (第1の実施形態)

図2に、高誘電体材料としてタンタルオキサイドまたはニオブオキサイドを用いた、本発明の第1の実施形態に係るMIMキャパシタの構造および電気力線を示す。図2には、MIMキャパシタの片側半分しか示されていない。また、MIMキャパシタは、シリコン基板の上方に形成され、シリコン基板とMIMキャパシタとの間には、例えば、図示しない多層配線層、半導体素子などが形成されている。

## 【 0 0 4 0 】

本実施形態のMIMキャパシタは、下部電極1と、下部電極1の上方に設けられ、中央部に凸部を含む第1の誘電体膜2と、第1の誘電体膜2の凸部の上方に設けられた上部電極3と、下部電極1と第1の誘電体膜2との間に設けられ、第1の誘電体膜2よりも誘電率が小さい第2の誘電体膜4と、上部電極3と第1の誘電体膜2の凸部との間に設けられ、第1の誘電体膜よりも誘電率が小さい第3の誘電体膜5を備えている。

## 【 0 0 4 1 】

下部電極1と上部電極3の材料は、例えば、チタンナイトライドまたはタンタルナイトライドである。第1の誘電体膜2の材料は、例えば、タンタルオキサイドまたはニオブオキサイド（いずれも誘電率は約30）である。

## 【 0 0 4 2 】

下部電極1、上部電極3の材料がチタンナイトライドまたはタンタルナイトライドの場合、第1および第3の誘電体膜2、4の材料は、アルミナ（ $\text{Al}_2\text{O}_3$ ）、シリコンナイトライド、ハフニウムオキサイドおよびジルコニウムオキサイドの少なくとも一つであることが好ましい。その理由は以下の通りである。

## 【 0 0 4 3 】

上記誘電体材料は、チタンナイトライドおよびタンタルナイトライドと反応しない。そのため、上記誘電体材料を用いた場合、下部電極 1 と第 2 の誘電体膜 4 との界面、上部電極 3 と第 3 の誘電体膜 5 との界面に良好なショットキー障壁を形成することができる。これにより、リーク電流の低減化を図れる。

## 【 0 0 4 4 】

また、上記誘電体材料の誘電率は 7. 5 ～ 2 0 であり、タンタルオキサイドおよびニオブオキサイドの誘電率よりも低く、 $\text{SiO}_2$  系の層間絶縁膜の誘電率 ( 3 ～ 3. 9 ) よりも大きい。そのため、本実施形態の効果を実現するのに、適している。

## 【 0 0 4 5 】

このような構造を有する MIM キャパシタは、例えば、下部電極 1 ( 第 1 の導電膜 ) 上に、第 2 の誘電体膜 4、第 1 の誘電体膜 2、第 3 の誘電体膜 5、上部電極 3 ( 第 2 の導電膜 ) をこれらの順で堆積し、その後、上部電極 3、第 3 の誘電体膜 5、第 1 の誘電体膜 2 をこれらの順でエッチングすることにより得られる。

## 【 0 0 4 6 】

このとき、上部電極 3 および第 3 の誘電体膜 5 の周縁部は全てエッチングにより除去されるが、第 1 の誘電体膜 2 の周辺部は途中の深さまでしかエッチングにより除去されない。

## 【 0 0 4 7 】

また、第 2 の誘電体膜 4 は全くエッチングされない。そのため、上部電極 3、第 3 の誘電体膜 5 および第 1 の誘電体膜 2 のエッチング、特に第 1 の誘電体膜 2 のエッチングにより生じる第 2 の誘電体膜 4 の損傷に起因するリーク電流の増加を防止することができる。

## 【 0 0 4 8 】

リーク電流の低減のためには、上部電極 3 を下部電極 1 よりもなるべく小さくし、上部電極 3 の側面と下部電極 1 の側面との間の距離をより大きくすることが有効である。上部電極 3 を小さくすると電荷の蓄積量が減るが、高誘電体材料としてタンタルオキサイドまたはニオブオキサイドを用いることで、必要な電荷の

蓄積量を確保することが可能である。しかも、本実施形態によれば、以下に説明するように、タンタルオキサイドまたはニオブオキサイドを用いても、ペア性の劣化は抑制される。

## 【 0 0 4 9 】

本実施形態のMIMキャパシタは、図2に示すように、図1（b）に示したMIMキャパシタに比べて、MIMキャパシタの外部にはみだす電気力線6が抑制される。したがって、電気力線6と、MIMキャパシタ周辺の電界または磁界とのクロストークは抑制される。上記電界または磁界は、例えば、MIMキャパシタ周辺の配線等によって生じる。

## 【 0 0 5 0 】

図2に示された電気力線6の分布（電界分布）は、第1の誘電体膜2の材料にタンタルオキサイド、第1および第3の誘電体膜2，4の材料にアルミナを用いた場合のものである。

## 【 0 0 5 1 】

MIMキャパシタの外部にはみだす電気力線6が抑制された理由は、電界はMIMキャパシタ側面で連続性をもたなければならず（図2では電気力線6の密度が等しくならなければならない。）、その結果、電気力線6が、第2の誘電体膜4中に閉じ込められるようになるからである。

## 【 0 0 5 2 】

また、本実施形態の場合、上部電極3と第1の誘電体膜2との間に、第1の誘電体膜2の誘電率の半分程度以下（ $< 1/5$ ）の第3の誘電体膜5が設けられているので、上部電極3の近傍の誘電率が減少される。

## 【 0 0 5 3 】

その結果、電界の連続性から、上部電極3が第1の誘電体膜2上に直接設けられている場合（図1（b））に比べて、第1の誘電体膜2を通る電気力線6のしみ出しが抑制される（図2）。これもMIMキャパシタの外部にはみだす電気力線6（電界のしみ出し）が抑制される理由の一つである。

## 【 0 0 5 4 】

ただし、第1の誘電体膜2よりも誘電率が低い第3の誘電体膜5を、上部電極

3と第1の誘電体膜2との間に設けることは、MIMキャパシタの容量の観点からは損なことであるので、第3の誘電体膜5の膜厚は薄いことが好ましい。

【0055】

また、図3に示すように、装置中のMIMキャパシタ上には、一般的に、第1の誘電体膜2よりも誘電率が小さい層間絶縁膜7が堆積される。その結果、第1の誘電体膜2の凸部の周辺はそれよりも誘電率が小さい層間絶縁膜（第4の誘電体膜）39で囲まれる。これにより、上部電極3の近傍の誘電率が小さくなり、キャパシタの外部にはみ出す電気力線（電界のしみ出し）は抑制される。

【0056】

このように本実施形態によれば、誘電体膜としてタンタルオキサイド膜やニオブオキサイド膜を用いても、ペア性を劣化させる原因であるMIMキャパシタの外部にはみだす電気力線6（電界のしみ出し）を抑制できる。

【0057】

したがって、本実施形態によれば、高ペア性、低リーク電流および高容量密度のMIMキャパシタを実現できるようになる。これにより、今後あらゆる機器に搭載されると予想されるRF混載LSIチップの面積を小さくでき、ひいては上記機器の小型化を実現することが可能になる。

【0058】

なお、本実施形態では、第2の誘電体膜4は、下部電極1および第2の誘電体膜4と直接接しているが、他の膜を介して間接的に接触していても構わない。同様に、第3の誘電体膜は、上部電極3および第2の誘電体膜4に直接接しているが、他の膜を介して間接的に接触していても構わない。

【0059】

（第2の実施形態）

図4および図5は、本発明の第2の実施形態に係るMIMキャパシタを含む半導体装置の製造工程を示す断面図である。

【0060】

上記MIMキャパシタの上部電極および下部電極は、スパッタ法により形成されたチタンナイトライド膜である。また、上記MIMキャパシタの誘電体膜は、



反応性スパッタ法により形成された下部アルミナ膜（第2の誘電体膜）、下部アルミナ膜上に反応性スパッタ法により形成されたタンタルオキサイド膜（第1の誘電体膜）、上記タンタルオキサイド膜上に反応性スパッタ法により形成された上部アルミナ膜（第3の誘電体膜）とを含む積層誘電体膜である。

【0061】

以下、本実施形態のMIMキャパシタの製造方法の詳細について説明する。

【0062】

図4（a）は、周知のMOSトランジスタ、素子分離領域、多層配線層を含むシリコン基板を示している。本実施形態では、図4（a）の多層配線層上にMIMキャパシタを製造する。

【0063】

本実施形態のMIMキャパシタは、例えば、アナログ回路用のキャパシタ、特にRF回路を含むアナログ回路（例えば、RF受信部のノイズフィルタ）用のキャパシタである。上記RF回路は、RF混載LSI中のものである。

【0064】

図4（a）に示された周知の構造は、周知の標準的なロジックプロセスにより形成される。以下、図4（a）の構造を形成するためのプロセスについて、簡単に説明する。

【0065】

まず、シリコン基板11上に、素子分離領域（STI）12、ゲート電極部（ゲート絶縁膜、ゲート電極、ゲート上部絶縁膜、ゲート側壁絶縁膜）13、ソース／ドレイン領域14を形成し、その後、層間絶縁膜15を基板の全面上に堆積し、デバイス面の表面を平坦化する。ソース／ドレイン領域14はLDD構造を有するものであるが、図ではLDD構造は省略してある。

【0066】

次に、層間絶縁膜15をエッチングし、コンタクトホールを形成し、その後、該コンタクトホール内にプラグ16を形成する。

【0067】

次に、シリコン窒化膜17、層間絶縁膜18を順次基板の全面上に形成し、層

間絶縁膜 18、シリコン窒化膜 17 をエッチングし、ヴィアホールを開口し、その後、デュアルダマシンプロセスにより、上記ヴィアホール内にバリアメタル膜 19、配線およびプラグ（DD 配線）20 を形成する。このようにして第 1 層目の金属配線層が得られる。バリアメタル膜 19 は例えばチタンナイトライド膜、DD 配線 20 は例えば Cu-DD 配線である。また、各 DD 配線のプロセスにおいて、配線溝および接続孔の内部の金属による埋込み工程は、例えば、電界めっき法により行う。

## 【0068】

その後、第 1 層目の金属配線層と同様の方法により、シリコン窒化膜 21、層間絶縁膜 22、バリアメタル膜 23、DD 配線 24、シリコン窒化膜 25、層間絶縁膜 26、バリアメタル膜 27、DD 配線 28、シリコン窒化膜 29 を形成することにより、第 2 層目の金属配線層、第 3 層目の金属配線層が得られる。

## 【0069】

次に、図 4（b）に示すように、シリコン窒化膜 29 上に、下部電極となるチタン膜 30、チタンナイトライド膜 31 をスパッタ法により順次形成する。チタン膜 30 は、シリコン窒化膜 29 中に開口された接続孔および該接続孔内に形成されたプラグを介して、上記多層配線層と電氣的に接続される。上記プラグは、例えば、デュアルダマシンプロセスにより、チタン膜 30 と同時に形成されたチタンプラグである。

## 【0070】

次に、アルミニウム金属ターゲットを用いた反応性スパッタ法により、同図（b）に示すように、チタンナイトライド膜 31 上にアルミナからなる第 2 の誘電体膜（以下、本実施形態では、下部アルミナ膜という。）32 を形成する。プロセスガスは Ar と O<sub>2</sub> との混合ガス、成膜温度は室温、Ar/O<sub>2</sub> 流量比は 1.5、スパッタパワーは 1.8 kW である。スパッタ装置は DC タイプのものを使用する。下部アルミナ膜 32 の膜厚は 3 nm である。

## 【0071】

次に、タンタル金属ターゲットを用いた反応性スパッタ法により、同図（b）に示すように、下部アルミナ膜 32 上にタンタルオキサイドからなる第 1 の誘電

体膜（以下、本実施形態では、タンタルオキサイド膜という。）33を形成する。プロセスガスはArとO<sub>2</sub>との混合ガス、成膜温度は200℃。Ar/O<sub>2</sub>流量比は1.3、スパッタパワーは1kWである。スパッタ装置はDCタイプのもを使用する。タンタルオキサイド膜33の膜厚は30nm、誘電率は25である。

## 【0072】

次に、反応性スパッタ法により、同図（b）に示すように、タンタルオキサイド膜33上にアルミナからなる第3の誘電体膜（以下、本実施形態では、上部アルミナ膜という。）34を形成し、続いて、真空を破らずに、上部アルミナ膜34上に上部電極となるチタンナイトライド膜35を連続的にスパッタ法により形成し、その後、PECVD法により、チタンナイトライド膜35上にシリコン窒化膜36を形成する。上部アルミナ膜34の成膜条件は、下部アルミナ膜32のそれと同じである。アルミナ膜34の膜厚は8nmである。

## 【0073】

次に、図4（c）に示すように、シリコン窒化膜36上にレジストパターン37を形成し、レジストパターン37をマスクにしてシリコン窒化膜36をエッチングし、レジストパターン37のパターンをシリコン窒化膜36に転写する。この後、レジストパターン37をアッシングにより除去する。

## 【0074】

次に、図4（d）に示すように、シリコン窒化膜36（ハードマスク）をマスクにして、チタンナイトライド膜35を弗素系のエッチングガスを用いたRIEプロセスによりエッチングし、続いて、弗素系のエッチングガスを塩素系のエッチングガスに変更し、上部アルミナ膜34をRIEプロセスによりエッチングし、さらに、塩素系のエッチングガスを弗素系のエッチングガスと酸素ガスとの混合ガスに変更し、タンタルオキサイド膜33を時間指定で5nm程度RIEプロセスによりエッチングする。これにより、所定形状の上部電極35および上部電極35の下方に凸部を有するタンタルオキサイド膜33が得られる。

## 【0075】

次に、図5（e）に示すように、シリコン窒化膜36およびタンタルオキサイ

ド膜 3 3 上にフォトレジストパターン 3 8 を形成し、その後、フォトレジストパターン 3 8 をマスクにしてタンタルオキサイド膜 3 3、下部アルミナ膜 3 2、チタンナイトライド膜 3 1、チタン膜 3 0 を R I E プロセスにより順次エッチングし、所定形状のタンタルオキサイド膜 3 3、下部アルミナ膜 3 2 および下部電極 3 0、3 1 を得る。その後、フォトレジストパターン 3 8 をアッシングにより除去する。

## 【 0 0 7 6 】

以上の工程で、M I M キャパシタの基本構造は完成する。その後、図 5 ( f ) に示すように、層間絶縁膜 3 9 を基板の全面上に形成する工程、上部電極 3 5 の引き出し電極 4 0<sub>1</sub> および下部電極 3 1 の引き出し電極 4 0<sub>2</sub> を形成する工程等の周知の工程が続く。図 6 に、以上の製造工程を経て得られた本実施形態の半導体装置の断面図を示す。

## 【 0 0 7 7 】

引き出し電極 4 0<sub>1</sub>、4 0<sub>2</sub> の具体的なプロセスは以下の通りである。まず、フォトリソグラフィプロセスおよび R I E プロセスにより、層間絶縁膜 3 9、シリコン窒化膜 3 6、タンタルオキサイド膜 3 3、下部アルミナ膜 3 2 をエッチングして、上部電極 3 5、下部電極 3 1 および上記多層配線層にそれぞれ連通する第 1、第 2 および第 3 のコンタクトホールを形成する。上記 R I E プロセスでは、フッ素系のエッチングガスを用いる。

## 【 0 0 7 8 】

次に、第 1、第 2 および第 3 のコンタクトホール内を埋め込むように、スパッタ法によりアルミニウム膜を基板の全面上に形成し、その後、上記アルミニウム膜をフォトリソグラフィプロセスおよび R I E プロセスにより加工することにより、上記アルミニウム膜からなる引き出し電極 4 0<sub>1</sub>、4 0<sub>2</sub> が得られる。

## 【 0 0 7 9 】

ここで、層間絶縁膜 3 9 の誘電率は、タンタルオキサイド膜 3 3 の誘電率よりも低いことが好ましい。通常、層間絶縁膜 3 9 には、いわゆる l o w - k 膜と呼ばれる低誘電率の誘電体膜が使用されるので、上記要件は満たされる。

## 【 0 0 8 0 】

層間絶縁膜 3 9 を基板の全面上に形成すると、タンタルオキサイド膜 3 3 の凸部の周辺上に層間絶縁膜 3 9 が形成され、タンタルオキサイド膜 3 3 の凸部の周囲がそれよりも誘電率が層間絶縁膜 3 9 で囲まれる。その結果、上部電極 3 6 の近傍の誘電率が小さくなり、キャパシタの外部にはみ出す電気力線（電界のしみ出し）は抑制される。

## 【 0 0 8 1 】

本実施形態の M I M キャパシタの容量は、 $3.5 \text{ fF} / \mu\text{m}^2$  であった。本実施形態でも、第 1 の実施形態と同様に、高ペア性、低リーク電流および高容量密度の M I M キャパシタを実現できるようになる。これにより、今後あらゆる機器に搭載されると予想される R F 混載 L S I チップの面積を小さくでき、ひいては上記機器の小型化を実現することが可能になる。

## 【 0 0 8 2 】

本発明者は、比較例（reference）1～7として、図 7 に示す七つの M I M キャパシタを用意した。比較例 1～7 の M I M キャパシタにおいて、本実施形態の M I M キャパシタと相当する部分は、本実施形態の M I M キャパシタと同じ参照符号が付されている。また、シリコン窒化膜 2 9、層間絶縁膜 3 9 および引き出し電極  $40_1$ 、 $40_2$  は簡単のため省略してある。

## 【 0 0 8 3 】

比較例 1（図 7（a））は、誘電体膜として一つのタンタルオキサイド膜が用いられたキャパシタ、つまり、本実施形態の M I M キャパシタから下部および上部アルミナ膜 3 2、3 4 を除いた M I M キャパシタである。

## 【 0 0 8 4 】

比較例 2（図 7（b））は、本実施形態の M I M キャパシタから下部および上部アルミナ膜 3 2、3 4 を除いたものであって、かつ、上部電極 3 5 の下方に凸部を有しないフラットなタンタルオキサイド膜 3 3 を備えた M I M キャパシタである。

## 【 0 0 8 5 】

比較例 3（図 7（c））は、誘電体膜として、タンタルオキサイド膜と、該タンタルオキサイド膜と上部電極との間にのみ設けられたアルミナ膜とを用いたキ

ャパシタ、つまり、本実施形態のMIMキャパシタから下部アルミナ膜32を除いたMIMキャパシタである。

## 【0086】

比較例4（図7（d））は、本実施形態のMIMキャパシタから下部アルミナ膜32を除いたものであって、かつ、上部電極35の下方に凸部を有しない表面がフラットなタンタルオキサイド膜33を備えたMIMキャパシタである。

## 【0087】

比較例5（図7（e））は、誘電体膜としてタンタルオキサイド膜と該タンタルオキサイド膜と下部電極との間にのみ設けられたアルミナ膜とを用いたキャパシタ、つまり、本実施形態のMIMキャパシタから上部アルミナ膜34を除いたMIMキャパシタである。

## 【0088】

比較例6（図7（f））は、本実施形態のMIMキャパシタから上部アルミナ膜34を除いたものであって、かつ、上部電極35の下方に凸部を有しない表面がフラットなタンタルオキサイド膜33を備えたMIMキャパシタである。

## 【0089】

比較例7（図7（g））は、上部電極35の下方に凸部を有しない表面がフラットなタンタルオキサイド膜33を備えた点を除いて、本実施形態と同じMIMキャパシタである。

## 【0090】

比較例1～6のタンタルオキサイド膜33の膜厚は、比較例1～6のキャパシタ容量が本実施形態のキャパシタ容量と同じになるように選んだ。比較例7のタンタルオキサイド膜33の膜厚は、本実施形態のタンタルオキサイド膜33の膜厚と同じである。

## 【0091】

表1に、比較例1～7および本実施形態のMIMキャパシタについて、キャパシタのペア性（ $3\sigma$  matching）の値と、100℃で±3.6V印加条件で評価したリーク電流の値を示す。

## 【0092】

【表 1】

	凸部	3 $\sigma$ matching	リーク電流[+3.6V]	リーク電流[-3.6V]
比較例1(Ta <sub>2</sub> O <sub>5</sub> )	有	3.1% $\mu\text{m}^2$	2.7E-6A/mm <sup>2</sup>	3.2E-6A/mm <sup>2</sup>
比較例2(Ta <sub>2</sub> O <sub>5</sub> )	無	6.6% $\mu\text{m}^2$	8.2E-7A/mm <sup>2</sup>	9.5E-7A/mm <sup>2</sup>
比較例3(Ta <sub>2</sub> O <sub>5</sub> /Al <sub>2</sub> O <sub>3</sub> )	有	2.9% $\mu\text{m}^2$	2.8E-11A/mm <sup>2</sup>	1.5E-9A/mm <sup>2</sup>
比較例4(Ta <sub>2</sub> O <sub>5</sub> /Al <sub>2</sub> O <sub>3</sub> )	無	6.5% $\mu\text{m}^2$	2.9E-11A/mm <sup>2</sup>	2.1E-10A/mm <sup>2</sup>
比較例5(Al <sub>2</sub> O <sub>3</sub> /Ta <sub>2</sub> O <sub>5</sub> )	有	1.8% $\mu\text{m}^2$	1.5E-9A/mm <sup>2</sup>	2.3E-9A/mm <sup>2</sup>
比較例6(Al <sub>2</sub> O <sub>3</sub> /Ta <sub>2</sub> O <sub>5</sub> )	無	3.8% $\mu\text{m}^2$	2.1E-10A/mm <sup>2</sup>	2.8E-11A/mm <sup>2</sup>
実施形態(Al <sub>2</sub> O <sub>3</sub> /Ta <sub>2</sub> O <sub>5</sub> /Al <sub>2</sub> O <sub>3</sub> )	有	1.4% $\mu\text{m}^2$	8.2E-12A/mm <sup>2</sup>	8.8E-12A/mm <sup>2</sup>
比較例7(Al <sub>2</sub> O <sub>3</sub> /Ta <sub>2</sub> O <sub>5</sub> /Al <sub>2</sub> O <sub>3</sub> )	無	4.4% $\mu\text{m}^2$	8.1E-12A/mm <sup>2</sup>	8.5E-12A/mm <sup>2</sup>

【0 0 9 3】

表 1 から、表面がフラットなタンタルオキサイド膜 3 3 を用いた M I M キャパシタ（比較例 1）は、上部電極 3 5 の下方に凸部を有するタンタルオキサイド膜 3 3 を用いた M I M キャパシタ（比較例 3、5、実施形態）に比べて、ペア性が悪いことがわかる。

## 【 0 0 9 4 】

また、アルミナ膜 3 2 / タンタルオキサイド膜 3 3 / アルミナ膜 3 4 の 3 層構造（実施形態）ではなく、タンタルオキサイド 3 3 の単層構造、またはタンタルオキサイド膜とアルミナ膜 3 2 （またはアルミナ膜 3 4 ）との 2 層構造の場合でも、上部電極 3 5 の下方に凸部を有するタンタルオキサイド膜 3 3 を用いた場合（比較例 1, 3, 5）には、良好なペア性が得られることがわかる。しかし、リーク電流は、本実施形態に比べて、タンタルオキサイド膜 3 3 とチタンナイトライド膜 3 1 （またはチタンナイトライド膜 3 5）との反応を反映して悪い。

## 【 0 0 9 5 】

また、下部電極側のみにアルミナ膜を設けた 2 層構造のキャパシタ誘電体膜を用いた場合（比較例 3）、リーク電流はある程度低い値を示すが、上部電極側のみにアルミナ膜を設けた 2 層構造のキャパシタ誘電体膜を用いた場合（比較例 5）、比較例 3 に比べてリーク電流は大きいことがわかる。

## 【 0 0 9 6 】

この理由は以下のように考えられる。上部電極 3 5 の下方に凸部を有するタンタルオキサイド膜 3 3 を用いたキャパシタの製造プロセスは、タンタルオキサイド膜 3 3 を R I E プロセスによりエッチングする工程（図 4（d））を含む。このときの工程で、タンタルオキサイド膜 3 3 中に欠陥が形成され、タンタルオキサイド膜 3 3 の絶縁性が大幅に低下する。このような絶縁性の低下が、リーク電流の増加の原因であると考えられる。したがって、キャパシタの少なくとも下部電極側にアルミナ膜などの誘電体膜をはさみこむことは必須であることがわかった。

## 【 0 0 9 7 】

また、上部電極 3 5 の下方に凸部を有するタンタルオキサイド膜 3 3 を用いた場合でも、上部電極 3 5 と接する誘電体膜がアルミナ膜 3 4 である場合（比較例 5, 本実施形態）の方が、上部電極 3 5 と接する誘電体膜がタンタルオキサイド膜 3 3 である場合（比較例 1, 3）に比べて、良好なペア性が得られることがわかる。

## 【 0 0 9 8 】



したがって、上部電極 3 5 とタンタルオキサイド膜 3 3 との間に、タンタルオキサイドよりも誘電率が低い材料からなる誘電体膜を設けることは、リーク電流の抑制だけでなく、良好なペア性を実現するのにも有効であることがわかった。

【 0 0 9 9 】

(第 3 の実施形態)

本実施形態の M I M キャパシタが第 2 の実施形態と異なる点は、第 2 および第 3 の誘電体膜としてジルコニウムオキサイド ( $ZrO_2$ ) 膜、第 1 の誘電体膜としてニオブオキサイド膜を用いたことにある。

【 0 1 0 0 】

本実施形態の M I M キャパシタと第 2 の実施形態の M I M キャパシタとは同じ構造を有するので、第 2 の実施形態の説明で用いた図 4 および図 5 を参照しながら、本実施形態の M I M キャパシタを含む半導体装置の製造方法について説明する。

【 0 1 0 1 】

まず、図 4 (a) に示すように、M O S トランジスタ、素子分離、多層配線層を含むシリコン基板を周知のプロセスにより形成する。

【 0 1 0 2 】

次に、図 4 (b) に示すように、シリコン窒化膜 2 9 上に、チタン膜 3 0、チタンナイトライド膜 3 1 をスパッタ法により順次形成する。ここまでは第 2 の実施形態と同じである。

【 0 1 0 3 】

次に、ジルコニウム金属ターゲットを用いた反応性スパッタ法により、同図 (b) に示すように、チタンナイトライド膜 3 1 上にジルコニウムオキサイドからなる第 2 の誘電体膜 (以下、本実施形態では、下部ジルコニウムオキサイド膜という。) 3 2 を形成する。プロセスガスは  $Ar$  と  $O_2$  との混合ガス、成膜温度は  $300^{\circ}C$ 、 $Ar/O_2$  流量比は 1. 0 0、スパッタパワーは 1. 0 k W である。スパッタ装置は D C タイプのものを使用する。下部ジルコニウムオキサイド膜 3 2 の膜厚は 9 n m、誘電率は 1 8 である。

【 0 1 0 4 】

次に、ニオブ金属ターゲットを用いた反応性スパッタ法により、同図（b）に示すように、下部ジルコニウムオキサイド膜 3 2 上にニオブオキサイドからなる第 1 の誘電体膜（以下、本実施形態では、ニオブオキサイド膜という。）3 3 を形成する。プロセスガスは、Ar と  $O_2$  との混合ガス、成膜温度は 3 0 0 °C。Ar /  $O_2$  流量比は 1 . 3、スパッタパワーは 1 kW である。スパッタ装置は DC タイプのものを使用する。ニオブオキサイド膜 3 3 の膜厚は 3 6 nm、誘電率は 1 8 である。

## 【 0 1 0 5 】

次に、反応性スパッタ法により、同図（b）に示すように、ニオブオキサイド膜 3 3 上にジルコニウムオキサイドからなる第 3 の誘電体膜（以下、本実施形態では、上部ジルコニウムオキサイド膜という。）3 4 を形成し、続いて、真空を破らずに、上部ジルコニウムオキサイド膜 3 4 上に上部電極となるチタンナイトライド膜 3 5 を連続的にスパッタ法により形成し、その後、PECVD 法により、チタンナイトライド膜 3 5 上にシリコン窒化膜 3 6 を形成する。上部ジルコニウムオキサイド膜 3 4 の成膜条件は、下部ジルコニウムオキサイド膜 3 2 のそれと同じである。上部ジルコニウムオキサイド膜 3 4 の膜厚は 1 5 nm である。

## 【 0 1 0 6 】

次に、図 4（c）に示すように、シリコン窒化膜 3 6 上にレジストパターン 3 7 を形成し、レジストパターン 3 7 をマスクにしてシリコン窒化膜 3 6 をエッチングし、レジストパターン 3 7 のパターンをシリコン窒化膜 3 6 に転写する。この後、レジストパターン 3 7 をアッシングにより除去する。

## 【 0 1 0 7 】

次に、図 4（d）に示すように、シリコン窒化膜 3 6 をマスクにして、チタンナイトライド膜 3 5 を弗素系のエッチングガスを用いた RIE プロセスによりエッチングし、続いて、弗素系のエッチングガスを塩素系のエッチングガスに変更し、上部ジルコニウムオキサイド膜 3 4 を RIE プロセスによりエッチングし、さらに、塩素系のエッチングガスを弗素系のエッチングガスと酸素ガスとの混合ガスに変更し、ニオブオキサイド膜 3 3 を時間指定で 5 nm 程度 RIE プロセスによりエッチングする。これにより、所定形状の上部電極 3 5 および上部電極 3

5の下方に凸部を有するニオブオキサイド膜33が得られる。

【0108】

次に、図5(e)に示すように、シリコン窒化膜36およびニオブオキサイド膜33上にフォトレジストパターン38を形成し、その後、フォトレジストパターン38をマスクにしてニオブオキサイド膜33、下部ジルコニウムオキサイド膜32、チタンナイトライド膜31、チタン膜30をRIEプロセスにより順次エッチングし、所定形状の下部電極30、31を得る。その後、フォトレジストパターン38をアッシングにより除去する。

【0109】

以上の工程で、MIMキャパシタの基本構造は完成する。その後、図5(f)に示すように、層間絶縁膜39を基板の全面上に形成し、上部電極35の引き出し電極40<sub>1</sub>および下部電極31の引き出し電極40<sub>2</sub>を形成する工程等の周知の工程が続く。以上の製造方法により得られた本実施形態の半導体デバイスの断面図は、第2の実施形態の半導体デバイスの断面を示す図6と同じである。

【0110】

引き出し電極40<sub>1</sub>、40<sub>2</sub>の具体的なプロセスは以下の通りである。まず、フォトリソグラフィプロセスおよびRIEプロセスにより、層間絶縁膜39、シリコン窒化膜36、ニオブオキサイド膜33、下部ジルコニウムオキサイド膜32をエッチングして、上部電極35、下部電極31および上記多層配線層にそれぞれ連通する第1、第2および第3のコンタクトホールを形成する。RIEプロセスではフッ素系のエッチングガスを用いる。

【0111】

次に、第1、第2および第3のコンタクトホール内を埋め込むように、スパッタ法によりアルミニウム膜を基板の全面上に形成し、その後、上記アルミニウム膜をフォトリソグラフィプロセスおよびRIEプロセスにより加工することにより、上記アルミニウム膜からなる引き出し電極40<sub>1</sub>、40<sub>2</sub>が得られる。

【0112】

本実施形態のMIMキャパシタの容量は $3.5 \text{ fF} / \mu\text{m}^2$ であった。また、本実施形態のMIMキャパシタのペア性を評価したところ、3 $\sigma$ マッチングで2

・ 1%  $\mu\text{m}^2$  の値が得られ、第2の実施形態と同様に良好な結果が得られた。したがって、本実施形態でも、第1の実施形態と同様に、高ペア性、低リーク電流および高容量密度のMIMキャパシタを実現できるようになる。これにより、今後あらゆる機器に搭載されると予想されるRF混載LSIチップの面積を小さくでき、ひいては上記機器の小型化を実現することが可能になる。

## 【0113】

## (第4の実施形態)

本実施形態のMIMキャパシタが第2の実施形態と異なる点は、第2および第3の誘電体膜としてタンタルオキサイド ( $\text{ZrO}_2$ ) 膜、第1の誘電体膜としてシリコン窒化膜を用いたことにある。

## 【0114】

本実施形態のMIMキャパシタと第2の実施形態のMIMキャパシタとは同じ構造を有するので、第2の実施形態の説明で用いた図4および図5を参照しながら、本実施形態のMIMキャパシタを含む半導体装置の製造方法について説明する。

## 【0115】

まず、図4(a)に示すように、MOSトランジスタ、素子分離、多層配線層を含むシリコン基板を周知のプロセスにより形成する。

## 【0116】

次に、図4(b)に示すように、シリコン窒化膜29上に、チタン膜30、チタンナイトライド膜31をスパッタ法により順次形成する。ここまでは第2の実施形態と同じである。

## 【0117】

次に、焼結窒化シリコンセラミックターゲットを用いた反応性スパッタ法により、同図(b)に示すように、チタンナイトライド膜31上に窒化シリコンからなる第2の誘電体膜(以下、本実施形態では、下部シリコン窒化膜という。)32を形成する。プロセスガスはArと $\text{N}_2$ との混合ガス、成膜温度は300℃、Ar/ $\text{N}_2$ 流量比は10、スパッタパワーは1.0kWである。スパッタ装置はRFタイプのものを使用する。下部シリコン窒化膜32の膜厚は2nm、誘電率

は 7. 5 である。

【 0 1 1 8 】

次に、タンタル金属ターゲットを用いた反応性スパッタ法により、同図 (b) に示すように、下部シリコン窒化膜 3 2 上にタンタルオキサイドからなる第 2 の誘電体膜 (以下、本実施形態では、タンタルオキサイド膜という。) 3 3 を形成する。プロセスガスは Ar と  $O_2$  との混合ガス、成膜温度は 2 0 0 °C。Ar /  $O_2$  流量比は 1. 5、スパッタパワーは 1. 8 kW である。スパッタ装置は DC タイプのものを使用する。タンタルオキサイド膜 3 3 の膜厚は 2 5 nm である。

【 0 1 1 9 】

次に、反応性スパッタ法により、同図 (b) に示すように、タンタルオキサイド膜 3 3 上に窒化シリコンからなる第 3 の誘電体膜 (以下、本実施形態では、上部シリコン窒化膜という。) 3 4 を形成し、続いて、真空を破らずに、上部シリコン窒化膜 3 4 上に上部電極となるチタンナイトライド膜 3 5 を連続的にスパッタ法により形成し、その後、PECVD 法により、チタンナイトライド膜 3 5 上にシリコン窒化膜 3 6 を形成する。上部シリコン窒化膜 3 4 の成膜条件は、下部シリコン窒化膜 3 2 のそれと同じである。上部シリコン窒化膜 3 4 の膜厚は 1 0 nm である。

【 0 1 2 0 】

次に、図 4 (c) に示すように、シリコン窒化膜 3 6 上にレジストパターン 3 7 を形成し、レジストパターン 3 7 をマスクにしてシリコン窒化膜 3 6 をエッチングし、レジストパターン 3 7 のパターンをシリコン窒化膜 3 6 に転写する。この後、レジストパターン 3 7 をアッシングにより除去する。

【 0 1 2 1 】

次に、図 4 (d) に示すように、シリコン窒化膜 3 6 をマスクにして、チタンナイトライド膜 3 5 を弗素系のエッチングガスを用いた R I E プロセスによりエッチングする。このとき、上部シリコン窒化膜 3 4 はマスク (シリコン窒化膜 3 6) と同じ材料なので、上部シリコン窒化膜 3 4 は殆どエッチングされない。

【 0 1 2 2 】

次に、同図 (d) に示すように、弗素系のエッチングガスを臭素系のエッチン

グガスに変更し、上部シリコン窒化膜 3 4 を R I E プロセスによりエッチングし、さらに、臭素系のエッチングガスを弗素系のエッチングガスと酸素ガスとの混合ガスに変更し、タンタルオキサイド膜 3 3 を時間指定で 5 n m 程度 R I E プロセスによりエッチングする。これにより、M I M キャパシタの上部電極 3 5 が形成されるとともに、上部電極 3 5 の下方に凸部を有するタンタルオキサイド膜 3 3 が形成される。

## 【 0 1 2 3 】

次に、図 5 ( e ) に示すように、シリコン窒化膜 3 6 およびタンタルオキサイド膜 3 3 上にフォトレジストパターン 3 8 を形成し、その後、フォトレジストパターン 3 8 をマスクにしてタンタルオキサイド膜 3 3 、下部シリコン窒化膜 3 2 、チタンナイトライド膜 3 1 、チタン膜 3 0 を R I E プロセスにより順次エッチングし、所定形状の下部電極 3 0 , 3 1 を得る。その後、フォトレジストパターン 3 8 をアッシングにより除去する。

## 【 0 1 2 4 】

以上の工程で、M I M キャパシタの基本構造は完成する。その後、図 5 ( f ) に示すように、層間絶縁膜 3 9 を基板の全面上に形成し、上部電極 3 5 の引き出し電極 4 0 <sub>1</sub> および下部電極 3 1 の引き出し電極 4 0 <sub>2</sub> を形成する工程等の周知の工程が続く。以上の製造方法により得られた本実施形態の半導体デバイスの断面図は、第 2 の実施形態の半導体デバイスの断面を示す図 6 と同じである。

## 【 0 1 2 5 】

引き出し電極 4 0 <sub>1</sub> , 4 0 <sub>2</sub> の具体的なプロセスは以下の通りである。まず、フォトリソグラフィプロセスおよび R I E プロセスにより、層間絶縁膜 3 9 、シリコン窒化膜 3 6 、タンタルオキサイド膜 3 3 、下部シリコン窒化膜 3 2 をエッチングして、上部電極 3 5 、下部電極 3 1 および上記多層配線層にそれぞれ連通する第 1 、第 2 および第 3 のコンタクトホールを形成する。R I E プロセスではフッ素系のエッチングガスを用いる。

## 【 0 1 2 6 】

次に、第 1 、第 2 および第 3 のコンタクトホール内を埋め込むように、スパッタ法によりアルミニウム膜を基板の全面上に形成し、その後、上記アルミニウム

膜をフォトリソグラフィプロセスおよびR I Eプロセスにより加工することにより、上記アルミニウム膜からなる引き出し電極4 0<sub>1</sub> , 4 0<sub>2</sub> が得られる。

## 【 0 1 2 7 】

本実施形態のM I Mキャパシタの容量は3 . 5 f F /  $\mu m^2$  であった。また、本実施形態のM I Mキャパシタのペア性を評価したところ、3  $\sigma$  マッチングで1 . 8 %  $\mu m^2$  の値が得られ、第2および第3の実施形態と同様に良好な結果が得られた。したがって、本実施形態でも、第1の実施形態と同様に、高ペア性、低リーク電流および高容量密度のM I Mキャパシタを実現できるようになる。これにより、今後あらゆる機器に搭載されると予想されるR F混載L S Iチップの面積を小さくでき、ひいては上記機器の小型化を実現することが可能になる。

## 【 0 1 2 8 】

なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、上部電極3 5および下部電極3 1として、チタン膜3 0とチタンナイトライド膜との積層膜を使用した。その代わりに、チタン膜3 0、タンゲステンナイトライド膜、タンタルナイトライド膜等の金属を含む単層導電膜、あるいはチタンナイトライド膜 / A l C u 膜 / チタンナイトライド膜等の金属を含む多層導電膜も使用することが可能である。また、上記実施形態では、上部電極3 5として、チタンナイトライド膜を使用した。その代わりに、下部電極3 1の場合と同様の種々の導電膜が使用可能である。

## 【 0 1 2 9 】

また、上記実施形態では、シリコン基板を用いたが、その代わりに、S O I 基板、S i G e 基板、歪みシリコン基板を用いても構わない。

## 【 0 1 3 0 】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。

## 【 0 1 3 1 】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【 0 1 3 2 】

【発明の効果】

以上詳説したように本発明によれば、MIMキャパシタの容量密度の増加を容易に図れる半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図 1】

従来のキャパシタにより生じる電気力線を示す図

【図 2】

第 1 の実施形態のMIMキャパシタの構造および電気力線を示す図

【図 3】

第 1 の実施形態の装置中のMIMキャパシタを示す断面図

【図 4】

第 2 の実施形態に係るMIMキャパシタを含む半導体装置の製造工程を示す断面図

【図 5】

図 4 に続く同半導体装置の製造工程を示す断面図

【図 6】

第 2 の実施形態に係るMIMキャパシタを含む半導体装置を示す断面図

【図 7】

比較例 1 ～ 7 のMIMキャパシタを示す断面図

【符号の説明】

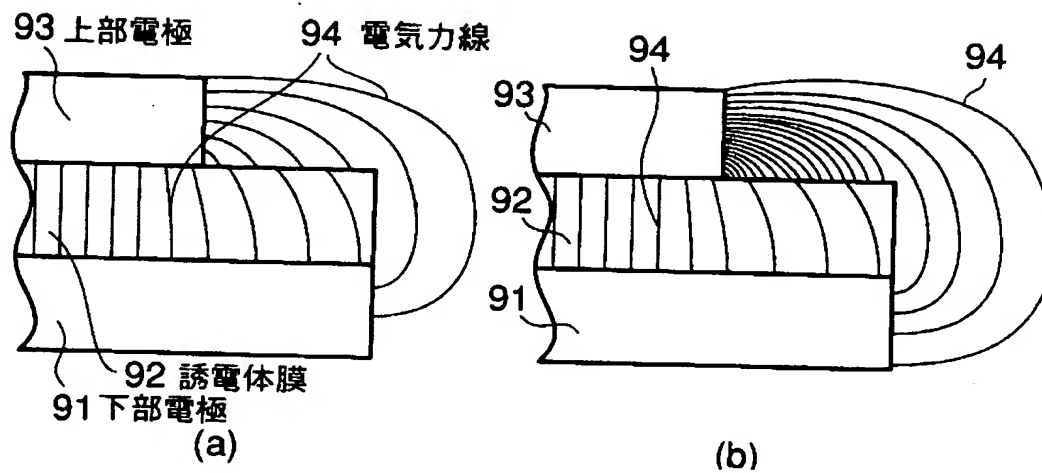
1 … 下部電極、 2 … 第 1 の誘電体膜、 3 … 上部電極、 4 … 第 2 の誘電体膜、 5 … 第 3 の誘電体膜、 6 … 電気力線、 7 … 層間絶縁膜、 1 1 … シリコン基板、 1 2 … 素子分離領域、 1 3 … ゲート電極部、 1 4 … ソース／ドレイン領域、 1 5 … 層間絶縁膜、 1 6 … プラグ、 1 7 … シリコン窒化膜、 1 8 … 層間絶縁膜、 1 9 … バリアメタル膜、 2 1 … 配線およびプラグ（DD配線）、 2 2 … シリコン窒化膜、 2 3 … バリアメタル膜、 2 4 … DD配線、 2 5 … シリコン窒化膜、 2 6 … 層間絶縁膜、 2 7 … バリアメタル膜、 2 8 … DD配線、 2 9 … シリコン窒化膜、 3 0 …



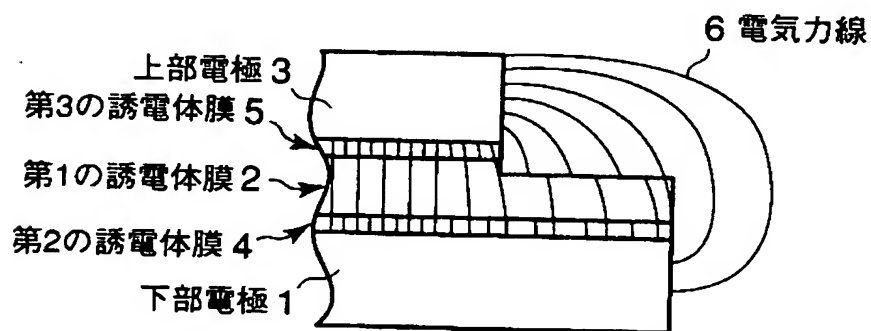
チタン膜（下部電極）、3 1 …チタンナイトライド膜（下部電極）、3 2 …第 2 の誘電体膜、3 3 …第 1 の誘電体膜、3 4 …第 3 の誘電体膜、3 5 …チタンナイトライド膜（上部電極）、3 6 …シリコン窒化膜、3 7, 3 8 …レジストパターン、3 9 …層間絶縁膜（第 4 の誘電体膜）、4 0<sub>1</sub>, 4 0<sub>2</sub> …引き出し電極。

【書類名】 図面

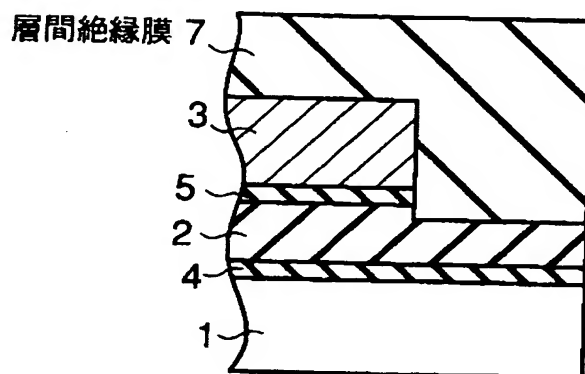
【図 1】



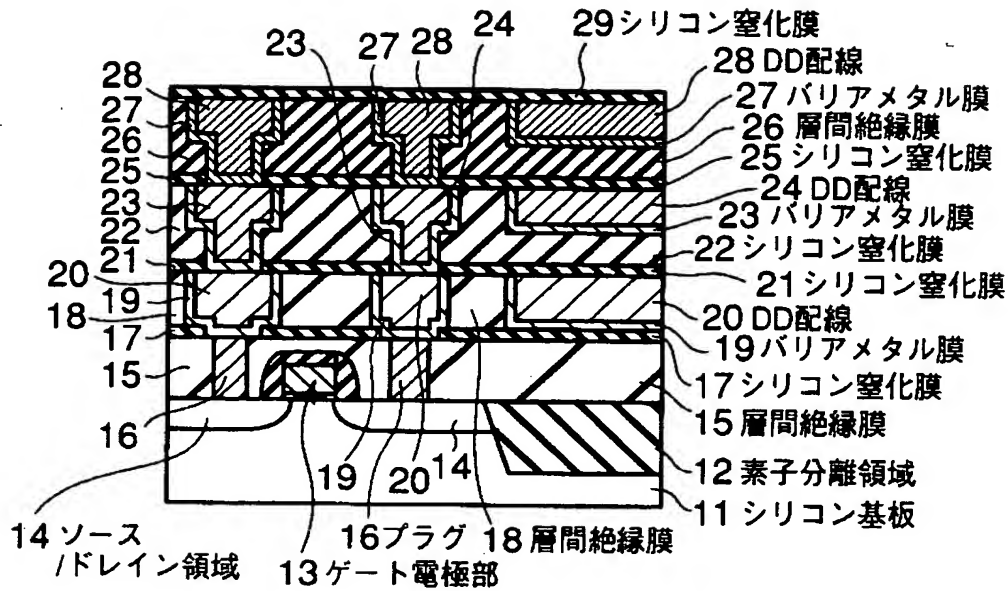
【図 2】



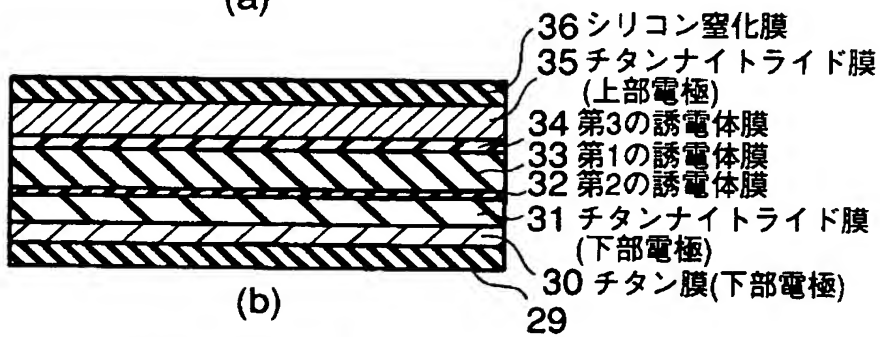
【図 3】



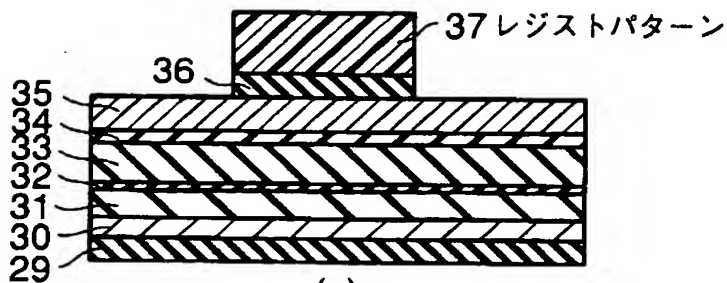
【図 4】



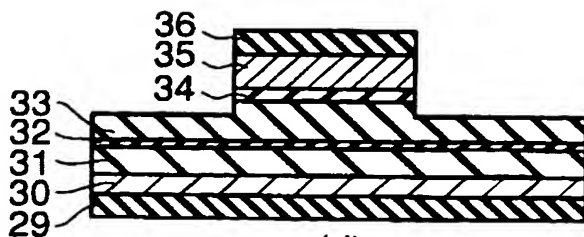
(a)



(b)

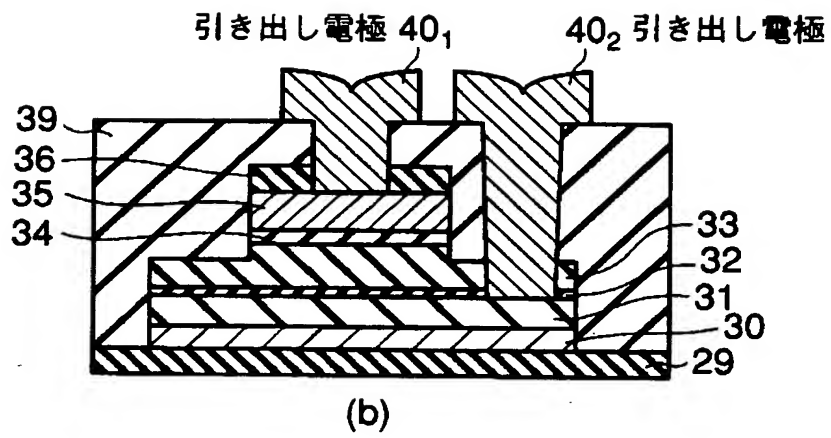
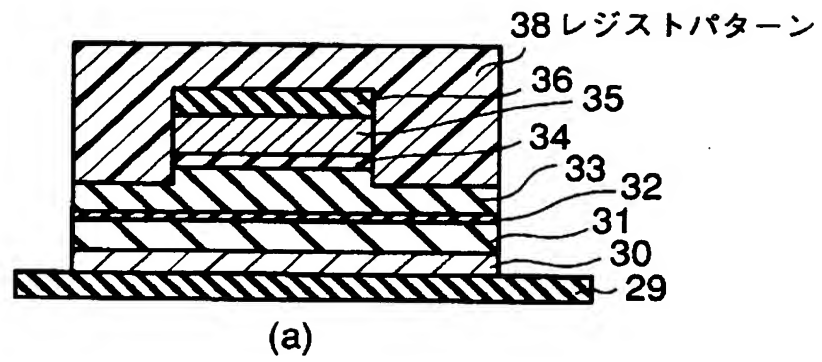


(c)

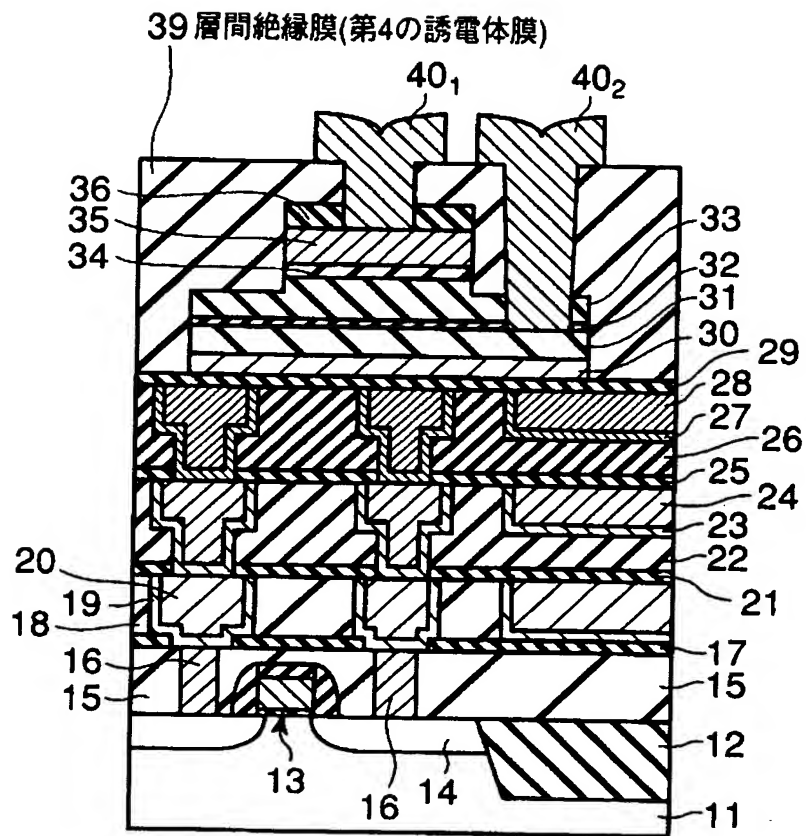


(d)

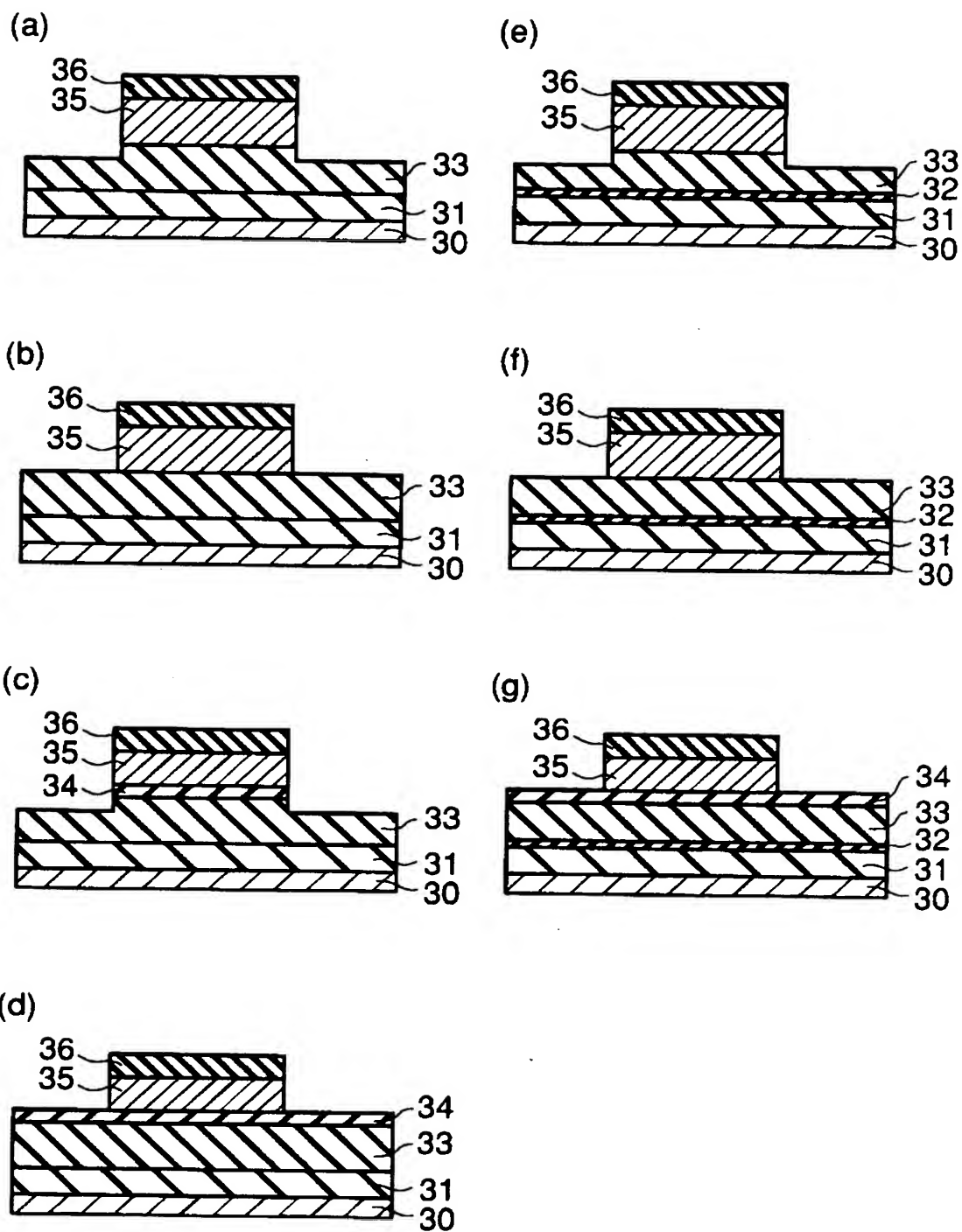
【図 5】



【図6】



【図 7】



【書類名】 要約書

【要約】

【課題】容量密度の増加を容易に図れるMIMキャパシタを実現すること。

【解決手段】MIMキャパシタは、下部電極1と、下部電極1の上方に設けられ、タンタルオキサイドまたはニオブオキサイドを主成分とし、中央部に凸部を含む第1の誘電体膜2と、第1の誘電体膜2の凸部の上方に設けられた上部電極3と、下部電極1と第1の誘電体膜2との間に設けられ、第1の誘電体膜2よりも誘電率が小さい第2の誘電体膜4と、上部電極3と第1の誘電体膜2の凸部との間に設けられ、第1の誘電体膜2よりも誘電率が小さい第3の誘電体膜5とを備えている。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝